



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 11 373.8

Anmeldetag: 14. März 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Integrierter Speicher mit redundanten Einheiten
von Speicherzellen und Verfahren zum Test eines
integrierten Speichers

IPC: G 11 C 29/12

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 19. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Zitzenzier

Beschreibung

Integrierter Speicher mit redundanten Einheiten von Speicherzellen und Verfahren zum Test eines integrierten Speichers

5

Die vorliegende Erfindung betrifft einen integrierten Speicher mit Speicherzellen in einem Speicherzellenfeld, die zu einzelnen adressierbaren normalen Einheiten zusammengefaßt sind, und mit redundanten Einheiten von Speicherzellen zum jeweiligen adressenmäßigen Ersetzen einer der normalen Einheiten. Weiterhin betrifft die Erfindung ein Verfahren zum Test eines derartigen integrierten Speichers.

10

Integrierte Speicher weisen im allgemeinen zur Reparatur fehlerhafter Speicherzellen redundante Einheiten von Speicherzellen auf, die normale Einheiten von Speicherzellen mit defekten Speicherzellen adressenmäßig ersetzen können. Die redundanten Einheiten von Speicherzellen sind beispielsweise als redundante Wortleitungen oder redundante Bitleitungen ausgeführt, die normale Wortleitungen bzw. normale Bitleitungen ersetzen können. Dabei wird der integrierte Speicher beispielsweise mit einer externen Prüfeinrichtung oder einer Selbsttesteinrichtung geprüft und anschließend eine Programmierung der redundanten Elemente vorgenommen. Eine Redundanzschaltung weist programmierbare Elemente, beispielsweise in Form von Laser Fuses oder elektrisch programmierbaren Fuses, auf, die zum Speichern der Adresse einer zu ersetzenden Einheit dienen. Diese werden beispielsweise im Laufe des Herstellungsprozesses des Speichers mittels eines Laserstrahls bzw. mittels einer sogenannten Brennspannung programmiert.

20

25

30

Im Betrieb eines derartigen Speichers werden im Zuge eines Speicherzugriffs fehlerhafte zu ersetzende normale Einheiten durch entsprechende redundante Einheiten adressenmäßig ersetzt. Vor einem Speicherzugriff wird eine Redundanzauswertung in den Redundanzschaltungen innerhalb eines ausgewählten Speicherbereichs durchgeführt. Dazu wird insbesondere eine

35

Adresse der ausgewählten normalen Einheit auf einem Adreßbus angelegt, woraufhin ein Vergleich der angelegten Adresse mit einer in der jeweiligen Redundanzschaltung gespeicherten Adresse einer defekten normalen Einheit erfolgt. Bei einer
5 Übereinstimmung wird durch die entsprechende Redundanzschaltung statt der defekten normalen Einheit die zugehörige redundante Einheit aktiviert.

Integrierte Speicher werden im Herstellungsprozeß im allgemeinen umfangreichen Funktionstests unterzogen. Unter anderem dienen diese Funktionstests dazu, fehlerhafte Speicherzellen bzw. fehlerhafte Wortleitungen oder Bitleitungen zu identifizieren. Weiterhin werden Funktionstests an Speichern durchgeführt, die bereits in der Applikation eingesetzt wurden und
15 bei denen Fehler im Betrieb des Speichers festgestellt wurden. In solchen Fällen ist es wünschenswert, eine Fehleranalyse vorzunehmen, um weitere Kenntnisse über physikalische Zusammenhänge und Ausfallwahrscheinlichkeiten gewinnen zu können.

20

Eine Ursache für unterschiedliches Fehlerverhalten liegt beispielsweise darin, daß sich der sogenannte Datenhintergrund von bestimmten Speicherzellen je nach Speicher unterscheidet. Insbesondere kommt es vor, daß fehlerhafte Speicherzellen
25 physikalisch benachbart zu redundanten Einheiten liegen. Hierbei spielt für das Fehlerverhalten der Speicherzellen in der unmittelbaren Nachbarschaft von redundanten Elementen eine Rolle, ob eines oder mehrere der benachbarten redundanten Elemente benutzt wird, das heißt für einen Ersetzungsvorgang
30 von normalen Einheiten programmiert ist (und damit topologisch definiert ist). Eine solche Information steht bisher bei Analyse eines bereits in der Applikation eingesetzten geschlossenen Speicherbausteins nicht zur Verfügung, da die ursprünglichen Fehleranalysedaten, die durch Funktionstests im
35 Herstellungsprozeß gewonnen wurden, nicht mehr zur Verfügung stehen. Um dennoch eine Analyse der Topologie-Sensitivität eines Fehlermechanismus zu ermöglichen, ist eine aufwendige

Präparation mit Öffnung des Speicherbausteingehäuses notwendig. Eine solche Präparation birgt die Gefahr, daß der Baustein zerstört werden könnte und für eine weitere Analyse dadurch nicht mehr zur Verfügung steht.

5

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, einen integrierten Speicher der eingangs genannten Art bereitzustellen, bei dem in einem Funktionstest eine Analyse der Topologie-Sensitivität eines Fehlermechanismus ermöglicht ist, ohne daß der Baustein dazu präpariert und geöffnet werden muß.

10

15

Weiterhin ist es Aufgabe der vorliegenden Erfindung, ein dazu geeignetes Testverfahren eines derartigen Speichers zur Verfügung zu stellen.

Diese Aufgabe wird durch einen integrierten Speicher gemäß Patentanspruch 1 und durch ein Verfahren zum Test eines integrierten Speichers gemäß Patentanspruch 3 gelöst.

20

Ein integrierter Speicher gemäß der Erfindung weist neben normalen und redundanten Einheiten von Speicherzellen eine Speichereinheit zum Speichern einer Adresse einer der normalen Einheiten in einem Normalbetrieb auf, die durch eine der redundanten Einheiten zu ersetzen ist. Weiterhin enthält der integrierte Speicher eine Vergleichseinheit, die mit einem Adreßbus des Speichers und mit einem Ausgang der Speichereinheit verbunden ist, wobei durch die Vergleichseinheit eine auf dem Adreßbus anliegende Adresse mit einer in der Speichereinheit gespeicherten Adresse verglichen wird und bei erkannter Übereinstimmung eine entsprechende redundante Einheit aktiviert wird. Weiterhin weist der Speicher gemäß der Erfindung eine durch ein Testmodussignal aktivierbare Testschaltung auf, die zum Rücksetzen der Speichereinheit in einen Ausgangszustand und zum Speichern einer Adresse einer der redundanten Einheiten in der Speichereinheit dient für ein nachfolgendes Beschreiben dieser redundanten Einheit.

25

30

35

In einem entsprechenden Testverfahren zum Zwecke der Analyse der Topologie-Sensitivität eines Fehlermechanismus werden folgende Schritte durchgeführt.

5

Zunächst wird ein Testmode durch Aktivierung des Testmodussignals aktiviert, wobei die Speichereinheit durch die Testschaltung in einen Ausgangszustand rückgesetzt wird. Nachfolgend wird eine Adresse einer der redundanten Einheiten in der Speichereinheit gespeichert und diese redundante Einheit mit einem Identifizierungscode beschrieben. Danach wird der Testmode deaktiviert und die Speichereinheit mit der sogenannten Postfuse-Information gesetzt, das heißt mit der Adresse einer der normalen Einheiten, welche zu ersetzen ist. Danach wird ein Zugriff auf das Speicherzellenfeld durch Anlegen von Adressen von normalen Einheiten auf dem Adreßbus durchgeführt, so daß das Speicherzellenfeld ausgelesen wird. Beim Auslesen des Speicherzellenfeldes erfolgt ein Ersetzungsvorgang beim Anlegen der Adresse derjenigen normalen Einheit, welche durch die zuvor mit dem Identifizierungscode beschriebene redundante Einheit zu ersetzen ist.

15
20

So ist eine Zuordnung des dabei ausgelesenen Identifizierungscode zu der Adresse der dazu adressierten normalen Einheit ermöglicht, welche durch die mit dem Identifizierungscode beschriebene redundante Einheit ersetzt wurde. Damit ist nunmehr eine Analyse möglich, welche normale Einheit durch welche redundante Einheit ersetzt wird, das heißt welche redundante Einheit welcher normalen Einheit zugeordnet ist. Damit ist eine Analyse der Topologie-Sensitivität eines Fehlermechanismus ermöglicht, ohne daß hierzu eine aufwendige Präparation mit Öffnung des Bausteingehäuses notwendig ist.

25
30

Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

35

Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figur, die ein Ausführungsbeispiel der vorliegenden Erfindung darstellt, näher erläutert.

5 In der Figur ist ein Ausführungsbeispiel eines erfindungsge-
mäßigen integrierten Speichers dargestellt, der Speicherzellen
MC, RMC in einem Speicherzellenfeld 1 mit Wortleitungen WL,
redundanten Wortleitungen RWL und Bitleitungen BL aufweist.
Die Speicherzellen MC sind an Kreuzungspunkten der Bitleitun-
10 gen BL und Wortleitungen WL angeordnet, die redundanten Spei-
cherzellen RMC sind an Kreuzungspunkten der Bitleitungen BL
und redundanten Wortleitungen RWL angeordnet. Zum besseren
Verständnis wird die Erfindung anhand der Figur nur bezüglich
weniger redundanter Wortleitungen RWL erläutert. In der Pra-
15 xis weist ein integrierter Speicher in der Regel eine Viel-
zahl redundanter Leitungen auf. Weiterhin ist die Erfindung
ebenso gut auf redundante Bitleitungen oder redundante Spei-
cherblöcke des Speichers anwendbar. Die Erfindung bezieht
sich auf beliebige Arten von integrierten Speichern, bei de-
20 nen redundante adressierbare Einheiten mit Speicherzellen zum
Ersatz von normalen adressierten Einheiten von Speicherzellen
zum Einsatz kommen.

Bei dem in der Figur gezeigten Ausführungsbeispiel handelt es
25 sich um ein DRAM, dessen Speicherzellen MC, RMC jeweils einen
Auswahltransistor und einen Speicherkondensator beinhalten.
Dabei sind Steuereingänge der Auswahltransistoren mit einer
der Wortleitungen WL, RWL verbunden, während ein
Hauptstrompfad der Auswahltransistoren zwischen dem Speicher-
30 kondensator der jeweiligen Speicherzelle MC, RMC und einer
der Bitleitungen BL angeordnet ist.

Der Speicher gemäß der Figur weist weiterhin eine program-
mierbare Speichereinheit 2 zum Speichern einer Adresse einer
35 zu ersetzenden Wortleitung WL auf. Die Speichereinheit 2 ist
beispielsweise ein Register mit Registerelementen zum Spei-
chern jeweils eines Adreßbits. Weiterhin ist eine zweite

nicht flüchtige und nur einmalig programmierbare Speichereinheit 4 vorgesehen, die beispielsweise von außerhalb des Speichers mittels eines Laserstrahls programmierbare Laser Fuses aufweist. Die Speichereinheit 4 dient zum dauerhaften Speichern einer Adresse einer zu ersetzenden Wortleitung WL und weist einen Ausgang 41 auf, der mit einem entsprechenden Eingang 21 der Speichereinheit 2 verbunden ist, zum Übertragen einer in der Speichereinheit 4 gespeicherten Adresse in die Speichereinheit 2.

Weiterhin ist eine Vergleichseinheit 3 vorgesehen, die mit einem Adreßbus 7 des Speichers und mit einem Ausgang 22 der Speichereinheit 2 verbunden ist. Die Vergleichseinheit 3 führt einen Vergleich der in der Speichereinheit 2 gespeicherten Adresse mit der auf dem Adreßbus 7 anliegenden aktuellen Adresse ADR durch. Bei festgestellter Übereinstimmung der aktuellen Adresse mit der in der Speichereinheit 2 gespeicherten Adresse aktiviert die Vergleichseinheit 3 eine der redundanten Wortleitungen RWL und deaktiviert über ein Deaktivierungssignal /EN eine durch die aktuelle Adresse ADR adressierte Wortleitung WL. Ein Wortleitungsdecoder 6 wird ebenfalls mit dem Adreßbus 7 verbunden und aktiviert im aktiven Zustand eine der Wortleitungen WL, RWL, die der entsprechenden Adresse zugeordnet ist. Wenn jedoch eine redundante Wortleitung RWL adressiert worden ist, soll eine Aktivierung einer zu ersetzenden normalen Wortleitung WL unterbunden werden. Hierfür sorgt die Vergleichseinheit 3 über das Deaktivierungssignal /EN.

Die in der nicht flüchtigen Speichereinheit 4 gespeicherte Adresse wird beispielsweise beim sogenannten Power-Up des Speicherchips in die programmierbare Speichereinheit 2 geladen. Danach repräsentiert die in der Speichereinheit 2 gespeicherte Adresse die Position der zu ersetzenden normalen Wortleitung WL und nicht die Position der zugeordneten redundanten Wortleitung RWL. Eine unmittelbare, von außen feststellbare Zuordnung zwischen zu ersetzender Wortleitung WL

und zugeordneter redundanter Wortleitung RWL ist nicht möglich.

Der Speicher gemäß der Figur weist weiterhin eine durch ein
5 Testmodussignal TM aktivierbare Testschaltung 5 auf, durch
die ein Rücksetzen der Speichereinheit 2 in einen Ausgangszu-
stand (sogenannte Prefuse-Settings) ermöglicht ist. Beim
Rücksetzen der Speichereinheit 2 wird eine Adresse einer der
redundanten Wortleitungen RWL in der Speichereinheit 2 für
10 ein nachfolgendes Beschreiben dieser redundanten Wortleitung
gespeichert. Beispielsweise ist nunmehr in der Speicherein-
heit 2 die Adresse 105 einer redundanten Wortleitung RWL ge-
speichert. Danach wird ein Zugriff auf diese redundante Wort-
leitung durchgeführt, wobei diese mit einem Identifizie-
15 rungscode, beispielsweise mit dem Wert 105, beschrieben wird.
Die in der Speichereinheit 2 gespeicherte Adresse repräsen-
tiert hier die Position der redundanten Wortleitung. Danach
wird das Testmodussignal TM deaktiviert und damit der ent-
sprechende Testmode.

20

Anschließend wird die Speichereinheit 2, wie zuvor während
des Power-Ups des Speichers, mit der Adresse einer zu erset-
zenden normalen Wortleitung WL gesetzt (Postfuse-Setting).
Nachfolgend wird ein Zugriff auf das Speicherzellenfeld 1
25 durchgeführt, wobei nacheinander die Adressen der normalen
Wortleitungen WL zum Auslesen des Speicherzellenfeldes 1 an-
gelegt werden. Die Speichereinheit 2 ist beispielsweise mit
der Adresse 25 einer zu ersetzenden normalen Wortleitung WL
gesetzt. Erfolgt beim Auslesen des Speicherzellenfeldes 1 ein
30 Zugriff auf die Wortleitung WL mit der Adresse 25, erfolgt
ein adressenmäßiges Ersetzen durch die redundante Wortleitung
RWL mit der Adresse 105. Hierzu wird von der Vergleichsein-
heit 3 eine Übereinstimmung der auf dem Adreßbus 7 anliegen-
den Adresse 25 mit der in der Speichereinheit 2 gespeicherten
35 Adresse festgestellt, woraufhin die redundante Wortleitung
RWL mit der Adresse 105 aktiviert wird. Hierbei wird der dar-
in gespeicherte Identifizierungscode 105 ausgelesen und ist

zu der Adresse 25 der über den Adreßbus 7 adressierten normalen Wortleitung WL zuordenbar. Dadurch erhält man das Ergebnis, daß die redundante Wortleitung RWL mit der Adresse 105 der normalen Wortleitung WL mit der Adresse 25 zugeordnet
5 ist.

Mit der Erfindung ist es somit ermöglicht festzustellen, welches redundante Element welchem zu ersetzenden normalen Element zugeordnet ist. Damit ist eine Analyse der Topologie-
10 Sensitivität eines Fehlermechanismus auch zu einem späteren Stadium möglich, in dem Testergebnisse von Funktionstests im Zuge des Herstellungsprozesses eines Speichers nicht mehr verfügbar sind. Hierzu kann auf aufwendige Präparation mit
15 Öffnung des Bausteingehäuses verzichtet werden.

Patentansprüche

1. Integrierter Speicher

- mit Speicherzellen (MC) in einem Speicherzellenfeld (1),
5 die zu einzeln adressierbaren normalen Einheiten (WL) zusammengefaßt sind,
- mit redundanten Einheiten (RWL) von Speicherzellen (RMC) zum jeweiligen adressenmäßigen Ersetzen einer der normalen Einheiten (WL),
- 10 - mit einer Speichereinheit (2) zum Speichern einer Adresse einer der normalen Einheiten (WL) in einem Normalbetrieb, die durch eine der redundanten Einheiten (RWL) zu ersetzen ist,
- mit einer Vergleichseinheit (3), die mit einem Adreßbus (7) des Speichers und mit einem Ausgang (22) der Speichereinheit
15 verbunden ist, zum Vergleichen einer auf dem Adreßbus anliegenden Adresse (ADR) mit einer in der Speichereinheit (2) gespeicherten Adresse und zur Aktivierung einer der redundanten Einheiten (RWL) bei erkannter Übereinstimmung,
- mit einer durch ein Testmodussignal (TM) aktivierbaren
20 Testschaltung (5) zum Rücksetzen der Speichereinheit (2) in einen Ausgangszustand und zum Speichern einer Adresse einer der redundanten Einheiten (RWL) in der Speichereinheit (2) für ein nachfolgendes Beschreiben dieser redundanten Einheit.

25 2. Integrierter Speicher nach Anspruch 1,

- d a d u r c h g e k e n n z e i c h n e t, daß
- die Speichereinheit (2) programmierbar ist,
 - der Speicher eine zweite nicht flüchtige Speichereinheit
(4) aufweist zum dauerhaften Speichern einer Adresse mit we-
30 nigstens einem Ausgang (41), der mit einem entsprechenden Eingang (21) der Speichereinheit verbunden ist zum Übertragen einer in der zweiten Speichereinheit (4) gespeicherten Adresse in die programmierbare Speichereinheit (2).

3. Verfahren zum Test eines integrierten Speichers

- mit Speicherzellen (MC) in einem Speicherzellenfeld (1), die zu einzeln adressierbaren normalen Einheiten (WL) zusammengefaßt sind,

- 5 - mit redundanten Einheiten (RWL) von Speicherzellen (RMC) zum jeweiligen adressenmäßigen Ersetzen einer der normalen Einheiten (WL),

10 - mit einer Speichereinheit (2) zum Speichern einer Adresse einer der normalen Einheiten (WL) in einem Normalbetrieb, die durch eine der redundanten Einheiten (RWL) zu ersetzen ist,

15 - mit einer Vergleichseinheit (3), die mit einem Adreßbus (7) des Speichers und mit einem Ausgang (22) der Speichereinheit verbunden ist, zum Vergleichen einer auf dem Adreßbus anliegenden Adresse (ADR) mit einer in der Speichereinheit (2) gespeicherten Adresse und zur Aktivierung einer der redundanten Einheiten (RWL) bei erkannter Übereinstimmung,

mit folgenden Schritten:

- 20 - Aktivierung eines Testmodes (TM),
- Rücksetzen der Speichereinheit (2) in einen Ausgangszustand,
- Speichern einer Adresse einer der redundanten Einheiten (RWL) in der Speichereinheit (2),
- Beschreiben der einen der redundanten Einheiten (RWL) mit einem Identifizierungscode,

25 - Deaktivierung des Testmodes (TM),
- Setzen der Speichereinheit (2) mit der Adresse einer der normalen Einheiten (WL), welche zu ersetzen ist,

30 - Zugriff auf das Speicherzellenfeld (1) und Anlegen von Adressen (ADR) von normalen Einheiten (WL) auf dem Adreßbus (7) zum Auslesen des Speicherzellenfeldes,

- Auslesen des Speicherzellenfeldes (1) und Zuordnung des dabei ausgelesenen Identifizierungscode zu der Adresse der zu diesem Auslesevorgang adressierten normalen Einheit (WL).

Zusammenfassung

Integrierter Speicher mit redundanten Einheiten von Speicherzellen und Verfahren zum Test eines integrierten Speichers

5

Ein integrierter Speicher weist einzeln adressierbare normale und redundante Einheiten (WL, RWL) von Speicherzellen (RMC) auf. Eine Speichereinheit (2) dient zum Speichern einer Adresse einer der normalen Einheiten (WL) in einem Normalbetrieb, die durch eine der redundanten Einheiten (RWL) zu ersetzen ist. Eine Vergleichseinheit (3) vergleicht eine auf einem Adreßbus (7) anliegende Adresse (ADR) mit einer in der Speichereinheit (2) gespeicherten Adresse und aktiviert eine der redundanten Einheiten (RWL) bei erkannter Übereinstimmung. Der Speicher weist weiter eine durch ein Testmodussignal (TM) aktivierbare Testschaltung (5) auf zum Rücksetzen der Speichereinheit (2) in einen Ausgangszustand und zum Speichern einer Adresse einer der redundanten Einheiten (RWL) in der Speichereinheit (2) für ein nachfolgendes Beschreiben dieser redundanten Einheit mit einem Identifizierungscode. Damit ist eine Analyse der Topologie-Sensitivität eines Fehlermechanismus auch zu einem späteren Stadium möglich, in dem Testergebnisse von Funktionstests im Zuge des Herstellungsprozesses eines Speichers nicht mehr verfügbar sind.

25

Figur

Bezugszeichenliste

	1	Speicherzellenfeld
	2	Speichereinheit
5	3	Vergleichseinheit
	4	Speichereinheit
	5	Testschaltung
	6	Wortleitungsdecoder
	7	Adreßbus
10	21	Eingang
	22	Ausgang
	41	Ausgang
	WL	Wortleitungen
	RWL	redundante Wortleitungen
15	BL	Bitleitungen
	MC	Speicherzellen
	RMC	redundante Speicherzellen
	ADR	Adresse
	/EN	Deaktivierungssignal
20	TM	Testmodussignal

1/1

